

doi:10.13756/j.gtxyj.2026.260030.

专题:智算中心光网络算网融合关键技术

刘璐,吴冰冰,李芳. 智算中心低能耗光互连技术发展态势分析[J]. 光通信研究,2026(4):46–52.

Liu L, Wu B B, Li F. Analysis of Development Trends in Low-Power Optical Interconnect Technologies for Intelligent Computing Centers[J]. Study on Optical Communications,2026(4):46–52.

智算中心低能耗光互连技术发展态势分析(特邀)

刘 璐,吴冰冰,李 芳

(中国信息通信研究院 技术与标准研究所,北京 100191)

摘要:人工智能(AI)技术加速迭代演进,带动算力需求快速增长,智算中心能耗随着算力的激增而飙升,技术革新是关键破局点之一。文章面向智算中心需求,聚焦低能耗光互连技术,针对可插拔与芯片级两大路径,梳理了最新技术动态,分析了产业特征与标准布局态势,分析了国内外差异,并提出了推动低能耗光互连发展的 3 方面建议。整体而言,当前低能耗光互连已取得初步进展,相关技术与标准化研究热度持续上升,量产化探索实践加速,我国需结合自身产业基础特点,探索契合国情的发展路径。

关键词:智算中心;线性可插拔光学;光电合封;光电近封;光输入输出

中图分类号:TN929

文献标志码:A

Analysis of Development Trends in Low-Power Optical Interconnect Technologies for Intelligent Computing Centers

LIU Lu, WU Bingbing, LI Fang

(Institute of Technology and Standards, China Academy of Information and Communication Technology,
Beijing 100191, China)

Abstract: The rapid advancement of Artificial Intelligence (AI) technologies has led to an exponential increase in computing power demand, resulting in a sharp rise in the power consumption of intelligent computing centers. Focusing on the needs of intelligent computing centers, this paper focuses on the low-power optical interconnect technologies. It reviews the latest advances along two major paths including pluggable optics and chip-level solutions. It investigates industrial characteristics and standardization trends, analyzes domestic and international gaps, and proposes three recommendations to accelerate the development of low-power optical interconnects. Overall, preliminary progress has been made in low-energy optical interconnects, with growing research interest in related technologies and standardization, as well as accelerated exploration and practices toward mass production. It is essential for China to explore a development path that aligns with its national conditions, based on the characteristics of its own industrial foundation.

Key words: intelligent computing center; linear pluggable optics; co-packaged optics; near-packaged optics; optical input output

0 引 言

智能算力规模总体呈爆发式增长,产业绿色发展需求迫切。据中国信息通信研究院《2025 算力发展报告》,截至 2024 年底,全球智能算力规模达 5 693 EFLOPS,同比增长 64.7%。另据国际数据公司与浪潮信息联合发布的《2025 年中国人工智能计算力发展评估报告》预测,2023 年~2028 年,中国智能算力规模将以年复合增长率 46.2% 的速度扩张。在智能算力快速增长的背后,算力基础设施的高能耗问题日益突出。根据经济合作组织与电气电子工程师学会(Institute of Electrical and Electronics Engineers, IEEE)联合发布的《人工智能的隐性成

本》研究报告,OpenAI 公司对生成式预训练变换模型第 4 版(Generative Pre-trained Transformer-4, GPT-4)模型的单次训练耗电量即高达 2.4 亿千瓦·时,“绿色低碳”转型势在必行。技术革新是推进算力低能耗发展的关键路径,智算中心能耗涉及数据的计算、互连和存储等多个环节,就互连而言,业界正加速探索低能耗光互连技术,多项新型方案即将商用落地^[1-5]。不过当前低能耗光互连的问题、挑战和发展趋势等的研究尚不完善,有待进一步深入分析,以明确其应用潜力并找准发力点。

面向未来新一代超高能效算力中心架构,本文聚焦智算中心低能耗光互连技术,针对可插拔与芯片级方案分别展开研究,梳理了其技术、产业和标准

收稿日期:2026-01-27; 修回日期:2026-04-07; 纸质出版日期:2026-08-10

基金项目:国家重点研发计划资助项目(2023YFB2805300)

作者简介:刘璐(1992—),女,安徽宿州人。高级工程师,博士,主要研究方向为光电子芯片器件。

通信作者:刘璐,高级工程师。E-mail:liulu@caict.ac.cn

© Editorial Office of Study on Optical Communications. This is an open access article under the CC BY-NC-ND license.

化进展,研究了不同技术路线的最新成果与迭代方向,研判了产业生态特点与标准化探索方向,最后给出了发展低能耗光互连技术的3方面建议。

1 可插拔低能耗光互连技术发展态势

互连速率与密度的持续提升,驱动可插拔光模块向新一代低能耗方案演进。智算网络带宽需求激增,带动光模块市场强劲增长,并牵引单端口速率迈向 800 Gbit/s 乃至 1.6 Tbit/s^[6]。英伟达测算结果显示,人工智能(Artificial Intelligence, AI)集群的互连带宽将增长 32 倍,若仍采用传统重定时可插拔模块,将导致系统总成本翻倍,能耗增加 20%~25%,交换机散热压力增大也会引发网络可靠性下降。为突破上述瓶颈,线性驱动可插拔光学(Linear-drive Pluggable Optics, LPO)和线性接收可插拔光学(Linear Receive pluggable Optics, LRO)等低能耗技术应运而生。LRO 与 LPO 光模块均是为应对智算中心能耗挑战而出现的新型技术路线,LPO 依赖主机侧信号补偿能力,能耗降低效果更为突出但性能劣化显著,适用于短距离和统一设备场景;而 LRO 保留了发送端的数字信号处理(Digital Signal Processing, DSP),信号质量更好,兼顾性能与能耗表现,适用于稍长距离和混合设备场景。

LPO 光模块凭借低能耗、低时延和低成本等优势即将规模起量。LPO 光模块在发送端和接收端均去除了 DSP 等重定时芯片,链路中端到端的信号路径为线性,具有低能耗、低时延和低成本等优势。能耗方面,1.6 Tbit/s 500 m 距离的 LPO 光模块实测功耗约为 9 W,为同规格传统可插拔光模块功耗的 40%;时延方面,根据 Maxlinear 数据,10 m 链路情况下,LPO 技术能够降低 70% 的时延;成本方面,DSP 一般约占传统重定时可插拔光模块成本的 25%,LPO 方案去除了 DSP 芯片,即使所需的高性能驱动器和跨阻放大器(Trans-Impedance Amplifier, TIA)成本更高,但是业界普遍预计在规模起量的情况下仍可获取相当的成本收益。预计 LPO 市场将于 2026 年开始起量,2029 年达到 350 万端口以上。单通道 100 Gbit/s LPO 光模块当前处于小批量测试验证阶段,以 500 m 距离的关注度与成熟度最高,且交换机已具备相关支持能力,如在 2025 年美国光通信会议上,光互连网络论坛(Optical Inter-networking Forum, OIF)进行了单通道 100 Gbit/s 的 LPO 模块与 LPO/DSP/LRO 模块间的互通展示。单通道 200 Gbit/s 速率技术加速演进,在 2025 年

美国光通信会议上,华工正源等厂商已展出 1.6 Tbit/s LPO 光模块。

LPO 光模块相较传统方案技术要求更高。主要电芯片包括发端的驱动器芯片和收端的 TIA 芯片。与传统重定时光模块相比,LPO 光模块发端的驱动器需要在奈奎斯特频率处提供效果更强和可调节范围更大的均衡能力(例如通常需要提供 10~15 dB 的峰化效果),以补偿在无 DSP 链路中可能产生的高频损耗。部分传统光模块使用高性能驱动器(如 MACOM-5408 高带宽驱动器)可直接应用于 400 Gbit/s LPO 光模块,且已通过国内头部光模块厂商验证。针对更高速率的 LPO 光模块,仍需优化驱动器,以使其奈奎斯特频率处的峰化效果进一步提高。与传统 TIA 功能相同,LPO 光模块的 TIA 需要在收端提供噪声抑制能力以及 3~5 dB 的均衡能力用于补偿信道损耗。一般而言,传统商用 400 Gbit/s TIA 可直接应用于 400 Gbit/s LPO,而更高速率 LPO 光模块的 TIA 仍需进一步优化峰化可调范围。业界一般不直接规定线性光模块的光电芯片要求,而是通过提高每通道信号波特率波动范围、每通道发送外眼光调制幅度、过冲/欠冲、消光比、相对强度噪声、每通道接收灵敏度和每通道加压接收灵敏度等要求,同时增加参考均衡器噪声增强系数等指标进行约束。此外,主机采用 7 抽头及以上预加重和通过链路训练来实现动态调优,以此有效加强主机发射端预补偿与模块接受端模拟均衡协同,以保障信号完整性。

LRO 产业化发展势头正盛。作为传统重定时与 LPO 光模块的折中方案,LRO 展现出良好的兼容性。一方面主要组件如驱动器、TIA、硅光芯片和激光器芯片等均可与重定时及 LPO 光模块复用产业链;另一方面,LRO 对 100 m 和 2 km 距离以及单通道 200 Gbit/s 速率的支持性比 LPO 更好。LRO 相关 DSP 芯片与光模块相继推出。2023 年 12 月,默升科技率先推出专为 LRO 架构设计的 Dove 850 800 Gbit/s DSP 芯片,并在 2024 年美国光通信会议上联合 Wistron 公司的 51.2 Tbit/s 交换机进行了演示;美满科技先后推出了支持 LRO 应用的 800 Gbit/s Perseus DSP 和 1.6 Tbit/s Ara DSP 系列芯片;2024 年迈凌公司也在欧洲光通信会议宣传了其 LRO 架构设计的 DSP 芯片,该芯片能同时满足高带宽和低功耗的要求,并有效提高了系统的稳定性与性能;2024 年 2 月,立讯发布 800 Gbit/s LRO 硅光模块;2025 年,在美国光通信会议与欧洲光通信

会议上,新易盛和光迅分别展出了 1.6 Tbit/s LRO 模块。当前,LRO 以单通道 100 Gbit/s 的 100 和 500 m 距离关注度与成熟度最高。

单通道 100 Gbit/s 线性方案光电接口指标较为明确,单通道 200 Gbit/s 标准处于研究阶段。LPO 标准化进程持续推进,具体如表 1 所示。2024 年 3 月,LPO 多源协议组织 (Multi-Source Association, MSA) 宣布成立,于 2025 年 3 月与 9 月相继发布了基于单通道 100 Gbit/s 的 LPO 物理层规范 100G-DR-LPO 与 400G-FR4-LPO,分别面向单模并行链路以及波分复用链路场景。OIF 的 CEI-112G-LINEAR-PAM4 规范于 2021 年 5 月立项,2025 年 8 月完成,并作为新条款纳入 OIF-CEI 05.3 实施协议^[7]。该规范主要对电接口特性、主机和模块测试等方面内容进行了规定,取消了对模块中重定时芯

片的要求,依托主机交换芯片强大的均衡功能来保证链路的可靠通信。单通道 200 Gbit/s 标准项目即 CEI-224G-LINEAR-PAM4 也已于 OIF 立项,当前处于技术文稿讨论阶段。IEEE 802.3 和 OIF 加速构建 LRO 标准体系。光接口方面,得益于发送端保留重定时功能,LRO 光接口支持与重定时模块的互联互通,符合 IEEE 802.3 相应速率标准,目前单通道 100 Gbit/s 速率适用的标准包括 400 Gbit/s 场景的 IEEE 802.3cu、802.3db 以及 800 Gbit/s 场景的 IEEE 802.3df。而 IEEE 802.3dj 正在研究单通道 200 Gbit/s 光接口速率,预计 2026 年第 3 季度发布。电接口方面,OIF 制定的单通道 100 Gbit/s 标准 OIF-EEI-112G-RTLRL 已于 2025 年 11 月发布,单通道 200 Gbit/s 标准 OIF-EEI-224G-RTLRL 也已于 2025 年 8 月形成基线^[8]。

表 1 可插拔低能耗光互连方案标准进展

Table 1 Standardization progress of pluggable low-power optical interconnect solutions

标准组织	标准名称	技术方案	标准状态
LPO MSA	100G-DR-LPO	单通道 100 Gbit/s, 单模并行	已发布
	400G-FR4-LPO	单通道 100 Gbit/s, 波分复用	已发布
OIF	CEI-112G-LINEAR-PAM4	单通道 100 Gbit/s	已发布
	CEI-224G-LINEAR-PAM4	单通道 200 Gbit/s	在研
	OIF-EEI-112G-RTLRL	单通道 100 Gbit/s	已发布
	OIF-EEI-224G-RTLRL	单通道 200 Gbit/s	在研
IEEE	802.3cu	单通道 100 Gbit/s	已发布
	802.3db	单通道 100 Gbit/s	已发布
	802.3df	单通道 100 Gbit/s	已发布
	802.3dj	单通道 200 Gbit/s	在研

2 芯片级低能耗光互连技术发展态势

为突破电互连瓶颈,芯片级光互连以带宽密度高、能耗低和时延小等优势逐步进入交换与算存两大网络。交换场景中,共封装光学 (Co-packaged Optics, CPO) 技术将光芯片与交换芯片合封,相较于同速率可插拔模块,可减少高速电通道损耗,带宽密度提升一个量级,能效优化 40% 以上。光电近封装光学 (Near-Packaged Optics, NPO) 则将光引擎置于交换芯片封装基板旁的高性能电路印刷板上,既减少了高速电通道损耗,又保留了可插拔能力,在带宽提升的同时规避了 CPO 低良率和难维护的缺陷。算存场景中,光输入/输出 (Optical Input/Output, OIO) 技术将光引擎与计算或存储芯片合封,相较于传统电输入/输出 (Input/Output, I/O) 技术,其

带宽提升了 7 倍,功耗降至原来的 1/5,为超节点规模扩展提供了可能的技术路径。本质上,OIO 同样采取光电合封的封装形式,如英伟达亦称之为图形处理器 (Graphics Processing Unit, GPU)-CPO,但算存网络应用要求其带宽密度和时延等性能指标比 CPO 的更高,同样能效情况下,OIO 的边带宽密度比 CPO 的大 1 个数量级;相同误码率情况下,OIO 的时延是 CPO 的 1/30~1/20。NPO 则是传统可插拔光模块与 CPO 的折中方案,性能、技术难度、成本和产业成熟度均介于二者之间。CPO/NPO/OIO 存在硅光工艺、光纤连接器和热管理方案等部分技术复用,并能够根据距离和带宽等需求进行场景互补。考虑到技术与产业准备情况,未来或将沿着率先落地 NPO,随后部署 CPO,最后应用 OIO 的脉络演进。

CPO 应用时间节点或将来临,产品研发主要围绕增强可制造性展开。CPO 已取得诸多研究进展,目前重点向增强可制造性转移^[9-10]。一是研究可拆卸和低损耗光纤连接器,就此,英特尔提出面向高良率和光纤数无关的可拆卸光纤组件方案;CPO 交换机涉及大量光纤,如 51.2 Tbit/s 交换机需配备 256~1 024 根光纤,应选用超低损耗连接器,一般要求其最大损耗值为单模 0.35 和多模 0.20 dB。二是研究高功率大容量发射端。上海交通大学开展了 4 通道硅光发射芯片研究,通过模分-波分混合复用方式扩展传输容量^[11];CPO 外置光源通常采用高功率 O 波段连续波分布式反馈激光器,输出功率一般要求 ≥ 20 dBm/通道,日本产业技术综合研究所进行了 20 dBm 连续光输入下的高功率可靠性测试,证明了聚合物波导在高功率条件下的线性度稳定性^[12];华工正源、光迅和长电科技等公司近一年相继发布了 CPO 外置光源,光源与光引擎的物理分离可在大幅提升系统散热效率的同时保留运维的灵活性。三是研究先进封装技术。北方集成电路技术创新中心针对三维(Three-Dimensional, 3D)集成硅通孔提出相应工艺改进方法;上海交通大学联合深圳大学等采用 8 英寸玻璃通孔中介层实现光/电芯片倒装焊,具有 110 GHz 带宽,支持 128 GBaud 信号互连,证明了其在 2.5 维(2.5 Dimensional, 2.5D) CPO 应用中的巨大潜力^[13]。四是研究热管理技术。清华大学开展了高带宽 CPO 的液冷散热模拟与实验,结果显示,采用微通道冷板可在不增加额外泵功率消耗的情况下改善散热情况^[14]。五是开展器件与链路层面可靠性验证。Meta 对 CPO 链路 15 天内的激光器偏置电流、收发端的光功率和信噪比的变化进行测试并统计了不同时间内前向纠错情况,结果显示,超 100 万小时 400 Gbit/s 端口等效运行中无不可纠正码字,75% 端口运行 105 万小时后最大非零前向纠错区间 <7 。博通则对多器件可靠性进行了验证,结果显示激光器芯片累计 100 亿小时测试过程中时基故障率 <0.1 ;光连接器通过温循、高温高湿、振动和防尘等试验,插损变化在 ± 1 dB 以内。多项可靠性试验与数据收集是 CPO 走向实用化与量产化的必由之路,为 CPO 方案在数据中心/智算中心部署的可行性分析提供了重要依据。预计 CPO 将在规模较小的 AI 集群中率先部署验证,而大规模部署仍待 Meta、微软和亚马逊等云公司巨头启动。

NPO 开放解耦程度高,技术相对更易落地。

NPO 基于成熟产业链,在横向扩展网络中能够在交换机内部实现交叉,简化外部光纤布线,提升 AI 计算集群规模,而在纵向扩展网络中可提供足够的带宽密度和性能,同时具有开放解耦和部署简单等优势。NPO 支持硅光和垂直腔表面激光器等技术路线,前者传输距离可达 2 km,覆盖横向扩展网络应用,而后者是纵向扩展网络短距互连的候选方案。相较于 CPO, NPO 的带宽密度等性能有所下降,但已能够满足当前网络需求,且技术相对更易落地。近期,旭创和新易盛发布了 6.4 Tbit/s NPO 光引擎,其中旭创进入 Open CPX MSA 创始成员名单,开始参与下一代封装级光互连的接口定义;阿里和腾讯等互联网公司已对单通道 100 Gbit/s NPO 系统进行了小规模部署验证;博通亦提出了面向单通道 200 Gbit/s NPO 系统的纵向扩展应用架构^[15]。

AI 应用驱动 OIO 热度持续上升,在广泛的基础研究基础上量产化和融合化趋势凸显。基础研究方面,华中科技大学研发出一款适用于 OIO 芯片的超紧凑型硅基微环调制器,实现了 6.4 Tbit/s/mm 的带宽密度和 4.93 fJ/bit 的超低能耗,大幅突破了电子 I/O 的性能限制^[16];中科院西安光机所报道了一款 60 GHz 的硅基双段微环调制器,并首次实现基于该调制器与 28 nm 互补金属氧化物半导体(Complementary Metal Oxide Semiconductor, CMOS)驱动器的 64 GBaud/s 混合集成光发射机,为 OIO 提供了一种高性能集成化解决方案^[17]。量产化方面,领军企业加强了与现有电互连协议的兼容性,同时加强了可靠性研究推进大规模量产。Ayar Labs 推出支持通用芯粒互连快速总线(Universal Chiplet Interconnect Express, UCIe)协议、双向带宽 8 Tbit/s 的 OIO 芯粒,并完成了链路热循环与 UCIe 端到端测试^[18];英特尔进行温度循环、高温存储以及无偏压高加速应力等测试项目。融合化方面,多种光互连方式融合助力高速数据传输。Celestial AI 公司进行了 OIO 与片上光互连融合方案的探索,片间基于 3 颗芯粒实现了 43 Tbit/s 的总互连带宽,同时片上采用多芯粒互连桥接技术在光芯片周围环绕多个计算芯片,旨在形成完整的芯片级光互连;哥伦比亚大学则是将 OIO 与光交换机技术融合于同一系统,利用微环调制器结合频率梳驱动的密集波分复用技术实现计算单元与内存池的高带宽低时延互连,同时采用微环光交换机替代传统电分组交换机以适配大语言模型的动态需求^[19]。

多个标准组织有力推动芯片级低能耗光互连的

标准制定。2023 年 3 月,OIF 发布了 OIF-Co-Packaging-3.2T-Module 实施协议,对 3.2 Tbit/s CPO/NPO 的光/电接口和机械特性等进行了规定^[20];2025 年 1 月,OIF 发布了外置光源实施协议第 2 版,针对 6.4 与 12.8 Tbit/s NPO 方案开展立项讨论,同时 OIO 技术相关白皮书在研。其他标准组织亦有所布局,如 2024 年 9 月,国际光电委员会(International Photonics&Electronics Committee,IPEC)发布了外置光源实施协议^[21];2025 年 6 月,

外设组件互连特别兴趣组(Peripheral Component Interconnect Special Interest Group, PCI-SIG)发布了外设组件互连快速总线(Peripheral Component Interconnect Express, PCIe)的 7.0 版本,新增支持光接口;中国通信标准化协会(China Communications Standards Association,CCSA)制定的行业标准《光电合封用外置光源模块》处于报批稿阶段,即将发布。上述标准相互衔接,为芯片级低能耗光互连的规模部署奠定了基础,具体如表 2 所示。

表 2 芯片级低能耗光互连方案标准进展

Table 2 Standardization progress of chip-level low-power optical interconnect solutions

标准组织	标准名称	标准类型	标准状态
OIF	OIF-Co-Packaging-3.2T-Module	实施协议	已发布
	OIF-ELSFP	实施协议	已发布
	OIF-EEI-COI-WP	白皮书	在研
IPEC	IPEC-PELS-IA	单通道 200 Gbit/s	已发布
PCI-SIG	PCIe 7.0	规范	已发布
CCSA	光电合封用外置光源模块	行业标准	已发布

3 挑战分析及我国发展路径探索

智算中心低能耗光互连面临诸多技术瓶颈与产业落地制约。LPO 面临信号完整性挑战,即使电芯片要求加严,目前仍只能勉强支持 500 m 以内传输距离,且对环境温度和电磁干扰较为敏感。同时,LPO 链路监测存在功能缺陷。在光模块无 DSP 情况下,链路不通时问题难以定位,排错面临极高的时间成本。此外,LPO/LRO 当前无法广泛支持即插即用,交换机仅可使用针对其 SerDes 调优过的特定光模块。芯片级光互连存在散热与良率两大壁垒,合封带来极高热流密度而硅光芯片对温度极为敏感,同时合封引发良率问题的木桶效应,为此不得不采用外置光源,但由此又会引发光纤阵列耦合损耗高等问题。同时,异质异构集成为核心工艺瓶颈。CPO/OIO 涉及硅通孔、玻璃通孔、多层高密度互连基板和凸点工艺等多种先进封装技术,工艺复杂度高、成品良率低。此外,芯片级光互连定制化程度高,博通和英伟达等公司各自为战。OIO 尚无国际标准发布,而 CPO 虽已发布如 3.2 Tbit/s CPO 框架等标准规范,但实际封装尺寸、引脚定义和光纤接口等指标并不统一,缺乏跨厂商的互操作性。

线性方案基于现有技术产业,有利于巩固我国光模块器件领域优势地位。技术方面,线性方案依然基于传统可插拔方式,我国无需突破额外技术壁

垒。不过,可商用的国产驱动器/TIA 在带宽、线性和噪声抑制上与 Macom 等头部厂商产品差距明显,缺乏相关核心芯片专利。产业方面,线性方案可复用传统光模块成熟产业生态,继续发挥完整产业链优势。多家头部企业完成 LPO/LRO 产品的客户送样以及与交换机的协同测试验证。标准方面,在 OIF 关于线性接口的提案中,主要的技术参数定义如抽头数量和信道损耗预算等多由美系芯片厂商提出和确立。由于国内缺乏高端交换芯片,在定义 LPO 主机侧标准时较为被动;LRO 作为一种折中方案,目前主要由应用侧推动,不过我国企业在这一细分标准上的提案数量依然较少。国际竞争方面,线性方案生态相对开放,在标准能否落地、量产可行性验证等方面,中国光模块厂商拥有一定话语权,能够与美欧占据优势的 CPO 等封闭生态路径形成差异化竞争,在光模块侧维护供应链韧性。不过,线性方案去除了原本光模块中的重定时功能,因而对交换机的均衡能力提出了更高要求,协同设计与联合调试的复杂度与难度增加,或将进一步放大我国在交换芯片环节的技术短板。

我国需加紧探索符合自身国情的芯片级光互连发展道路,或可优先发展 NPO 方案。目前来看,CPO 是单通道 400 Gbit/s 及以上光互连的重要方案,预计落地可能迟到,但不会缺席。鉴于应用场景与技术基础双重制约,CPO 的发展主线仍在美国,

我国企业正通过研发大功率外置光源、高密度连接器以及与交换机厂家合作研制光引擎等方式发力,存在成为技术方案整合制造商的机会,如光迅推出了自研 3.2 Tbit/s CPO 光引擎和光纤管理架构;华工正源进行了 3.2 Tbit/s CPO 光引擎以及外置光源展示;锐捷公开了 51.2 Tbit/s CPO 交换机商用互连方案。不过在 CPO 模式下,博通和英伟达等底层芯片巨头可直接提供交换芯片集成光引擎的整体解决方案并主导标准制定,而我国企业获取高端交换芯片(如 51.2 Tbit/s 芯片)以及使用海外先进工艺平台流片的机会严重受限,这可能导致我国传统可插拔光模块市场被大幅挤压,同时在 CPO 等光/电深度融合技术上面面临代差拉大风险。NPO 被视为 CPO 的关键过渡方案,现阶段 NPO 或比 CPO 更为契合我国国情,其技术难度低、生态开放、可维护性好且兼顾性能与能耗的平衡,国内阿里和腾讯等互联网公司已开展小规模部署验证,光迅发布了 3.2 Tbit/s 硅光 NPO 光引擎,旭创和新易盛均推出了 6.4 Tbit/s NPO 硅光引擎,NPO 从概念验证进入了产品化早期竞争阶段。OIO 则是构建超节点的重要使能技术。通过引入光互连技术,可增加机柜数量以保障处理器总量,进而突破单机柜处理器数量与能耗限制。国内曦智科技联合燧原科技已推出计算单元出光原型系统,为下一代本土化智算中心架构提供了新思路。不过,当前 OIO 的技术成熟度较低,标准推进仍处于极为早期阶段。

4 结束语

本文从低能耗光互连技术、产业和标准等方面对智算中心进行了梳理与分析。总体来看,技术与产品迭代迅速,部分方案已进入小批量部署,标准体系初步建立。但智算中心低能耗光互连主导权仍集中于美国,我国亟需探索契合自身国情的发展路径,技术攻关协同产业标准发展。技术层面,提升 LPO/LRO 光模块关键电芯片与链路监测性能,开展多场景互联互通与长期可靠性验证,提升智算中心复杂组网环境下的适配能力,加快高速高效激光器/调制器与先进集成工艺研发,突破高效耦合、高热管理等关键瓶颈;产业层面,国内云公司、交换机和光模块等头部企业需进一步发挥牵引作用,推动量产化,带动低能耗光互连从小范围验证到大规模落地过渡;标准层面,积极参与面向下一代智算中心的光互连接口、链路和热管理等关键环节的技术要求与测试方法制定,在紧跟国际 IEEE 和 OIF 等标

准进展的同时,加快构建自主可控标准体系。综上,通过优先发展可插拔、及时跟进芯片级的策略,加强技术攻坚、应用牵引和标准追赶,完善低能耗光互连自主生态,可推动我国智算中心高质量发展。

参考文献:

- [1] 刘璐,吴冰冰.片间光互连发展态势分析[J].光通信研究,2024(5):2400290.
Liu L, Wu B B. Analysis of the Development Trend of Inter-Chip Optical Interconnection[J]. Study on Optical Communications, 2024(5): 2400290.
- [2] 卞玲艳,曾燕萍,蔡莹,等.大数据时代光电共封技术的机遇与挑战[J].激光与光电子学进展,2024,61(9):0900006.
Bian L Y, Zeng Y P, Cai Y, et al. Opportunities and Challenges of Optoelectronic Co-Packaging Technology in the Era of Big Data[J]. Laser & Optoelectronics Progress, 2024, 61(9): 0900006.
- [3] 葛畅,杜江兵,沈嘉欣,等.玻璃基光电集成封装及 CPO 应用[J].光通信研究,2025(6):250319.
Ge C, Du J B, Shen J X, et al. Photonic Integration and CPO Applications based on TGV Interposer[J]. Study on Optical Communications, 2025(6): 250319.
- [4] 薛锦涛,卜祥林,刘倩,等.面向计算光互连的光电融合集成芯片研究进展[J].激光与光电子学进展,2025,62(17):164-184.
Xue J T, Bu X L, Liu Q, et al. Recent Advances in Optoelectronic Integrated Chips for Computing-Oriented Optical Interconnects (Invited)[J]. Laser & Optoelectronics Progress, 2025, 62(17): 164-184.
- [5] 张书安,朱文锐,古元冬,等.一种用于 LPO 场景的 2 pJ/bit 4×112 Gbps 的 MZM 驱动器[J].电子与信息学报,2025,47(8):2945-2952.
Zhang S A, Zhu W R, Gu Y D, et al. A 2 pJ/Bit, 4×112 Gbps PAM4 Linear Driver for MZM in LPO Application[J]. Journal of Electronics & Information Technology, 2025, 47(8): 2945-2952.
- [6] 吴冰冰,刘璐,谢俊杰,等.800 Gbit/s 及 Tbit/s 光收发模块关键技术与标准化研究[J].光通信研究,2026(1):250013.
Wu B B, Liu L, Xie J J, et al. Research on Key Technology and Standardization of 800 Gbit/s and Tbit/s Optical Transceiver Modules[J]. Study on Optical Communications, 2026(1): 250013.
- [7] OIF-CEI-05.3-2025, Common Electrical I/O (CEI) - Electrical and Jitter Interoperability Agreements for 6G+ bps, 11G+ bps, 25G+ bps, 56G+ bps and 112G+ bps I/O [S].

- [8] OIF-EEI-112G-RTL-01.0-2025, Implementation Agreement for 112 Gb/s Retimed Transmitter Linear Receiver (RTL) [S].
- [9] Yoshida W, Nagashima K, Nishizaki K, et al. An Ultra-Compact 8-Channel Linear-Drive VCSEL-based CPO Transceiver for Networks and AI/ML Applications in a Data Center[C]//2025 IEEE 75th Electronic Components and Technology Conference (ECTC). Dallas, TX, USA: IEEE, 2025: 11037974.
- [10] Chowdhury A R, Rahman W, Stojanovic V. Electronic-Photonic Co-Optimization of Linear Drive Laser-Forwarded Coherent Silicon Photonic Transmitters for Co-Packaged Optical (CPO) Links[J]. Journal of Lightwave Technology, 2025, 43(9): 4338–4351.
- [11] Wang X, Du J, Shen W, et al. High-Density MDM-WDM Silicon Photonic Transmitter Chiplet based on MRMS and Dual-Mode GC for 4×56 Gbps 3D Co-Packaged Optical Interconnects [J]. Chinese Optics Letters, 2024, 22(12): 120001.
- [12] Suda S, Noriki A, Kuwatsuka H, et al. High-Power Stability and Reliability of Polymer Optical Waveguide for Co-Packaged Optics [J]. Journal of Lightwave Technology, 2025, 43(10): 4903–4912.
- [13] Ge C, Wang X, Du J, et al. 8-Inch Wafer Level through Glass *via* (TGV) Interposer with 110-GHz Bandwidth Facing 128-GBaud 2.5D Co-Packaged Optics (CPO)[C]//2024 Asia Communications and Photonics Conference (ACP) and International Conference on Information Photonics and Optical Communications (IPOC). Beijing, China: IEEE, 2024: 10809725.
- [14] Wu S, Wen S, He H, et al. Simulation and Experimental Investigation of Liquid-Cooling Thermal Management for High-Bandwidth Co-Packaged Optics [J]. Frontiers of Optoelectronics, 2025, 18(1): 11.
- [15] Chow T H, Wang J, Jiang S, et al. 200 G VCSEL Development and Proposal of Using VCSELs for Near-Package-Optics Scale-Up Application [J]. Photonics, 2026, 13(1): 90.
- [16] Zhao S, Zhao X, Ma Z, et al. High Bandwidth and Low Driving Voltage Add-Drop Micro-Ring Modulator for Optical Interconnection I/O Chips [J]. Journal of Lightwave Technology, 2025, 43(14): 6782–6790.
- [17] Xue J, Wang B, Ma S, et al. A 64 Gbaud/s Hybrid-Integrated Optical Transmitter based on a 60 GHz Silicon Photonic Dual-Segment Microring Modulator and a CMOS Driver for High-Bandwidth DWDM Optical I/O [J]. Journal of Lightwave Technology, 2025, 43(10): 4808–4818.
- [18] Bhargava P, Buchbinder S, Gluhović Đ, et al. A UCIE Optical I/O Retimer Chiplet for AI Scale-Up Fabrics [C]//Optical Fiber Communication Conference (OFC) Postdeadline Papers 2025. San Francisco, California: Optica Publishing Group, 2025: Th4B.3.
- [19] Wu Z, Bergman K. Silicon Photonic Accelerated Memory Pooling for Efficient Compute Resource Allocation [C]//2025 IEEE Symposium on High-Performance Interconnects (HOTI). San Jose, CA, USA: IEEE, 2025: 11244774.
- [20] OIF-Co-Packaging-3.2T-Module-01.0-2023, Implementation Agreement for a 3.2 Tb/s Co-Packaged (CPO) Module [S].
- [21] IPEC-PELS-IA-V1.0-2024, OIO Pluggable External Laser Source (PELS) Implementation Agreement [S].