

SEC 中的全数字锁相环的分析及设计

张继勇¹, 王爱国²

(1. 武汉邮电科学研究院, 湖北 武汉 430074; 2. 烽火通信科技股份有限公司, 湖北 武汉 430074)

摘要:文章首先介绍了全数字锁相环(ADPLL)的基本结构和工作原理,并进行了数学建模,计算了其主要的参数指标;然后,针对 SDH 设备时钟(SEC)设计了一种切实可行的低抖动 ADPLL 的电路结构,并对其各个组成部分进行了具体的电路分析和设计,通过微机适当配置,可以使该设计的结果得到优化;最后,通过现场可编程门阵列(FPGA)验证,给出了测试结果。

关键词:全数字锁相环;数控振荡器;分频器;抖动

中图分类号: TN911.8 **文献标志码:** A **文章编号:** 1005-8788(2006)06-0022-02

Analysis and design of all digital phase-locked loops in SEC

Zhang Jiyong, Wang Aiguo

(1. Wuhan Research Institute of Post and Telecommunications, Wuhan 430074, China;

2. FiberHome Telecommunication Technologies Co., Ltd., Wuhan 430074, China)

Abstract: In this paper, the basic structure and operating principle of ADPLL (All Digital Phase -Locked Loop) are first introduced, which is followed by the analyses of its mathematic model and the calculation of its main parameters. Then, a feasible low-jitter ADPLL circuit structure for SEC(SDH equipment clock) is designed and specific circuit analysis of and designs for each part of ADPLL made, which is optimized by appropriate CPU configurations. Finally, this circuit is verified by FPGA and the test result given.

Key words: ADPLL; Digital-Controlled Oscillator (DCO); divider; jitter

随着同步数字体系(SDH)的大量应用及其速率的不断提高,SDH 设备时钟(SEC)越来越重要,其性能将直接影响 SDH 网络的稳定性和可靠性。锁相环作为 SEC 的核心器件,主要是跟踪网同步的定时基准时钟,并削弱定时基准时钟在传输过程中产生的抖动和漂移等损伤,使 SEC 能够满足 ITU-T G. 813 协议的要求。当所有外部定时基准信号都不可用时,可以通过内部晶体振荡器来实现高稳定的时钟输出。与传统的模拟电路实现的锁相环(PLL)相比,本文设计的全数字锁相环(ADPLL)调整精度更高,且不受温度和电压影响,环路带宽和中心频率编程可调,而且具有功耗低、印制电路板(PCB)面积小等特点。除此之外,ADPLL 还缓解和消除了模拟环路中压控振荡器(VCO)的非线性以及环路中使用运算放大器和晶体管后出现的饱和及运算放大器和鉴相器的零漂等对环路性能的影响。本设计可以制成专用集成电路(ASIC)芯片,作为一个标准的功能模块应用到 SEC 中,以进一步提高系统的性能。

1 数字锁相环的基本结构

数字锁相环是由鉴频鉴相器(PFD)、环路滤波器(LF)、数控振荡器(DCO)和分频器 M 这 4 个部

分组成的反馈回路。其方框图如图 1 所示。

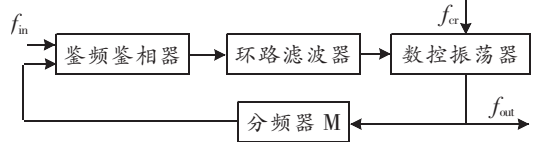


图 1 数字锁相环方框图

图中,鉴频鉴相器的功能就是对输入的基准信号和反馈的本地信号进行相位比较,输出相位差。环路滤波器采用数字滤波器,其功能是抑制环路中的输入噪声,消除鉴相器输出相差信号中的高频成分,保持环路的性能稳定,并且对环路的校正速度起调节作用。数控振荡器通过响应数字滤波器输出的控制信号来调节输出频率,达到跟踪输入基准时钟的目的。

2 数字锁相环的数学模型

本设计的数学模型可用图 2 来表示。图中, θ_1

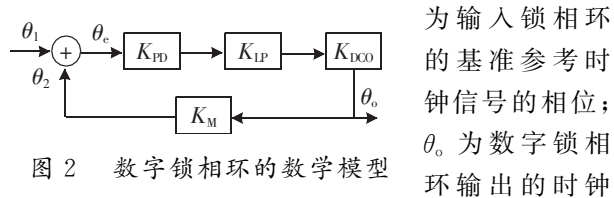


图 2 数字锁相环的数学模型

为输入锁相环的基准参考时钟信号的相位; θ_o 为数字锁相环输出的时钟信号的相位; θ_2 为输出时钟信号经过 M 分频得到的

本地反馈信号的相位； K_{PD} 、 K_{LP} 、 K_{DCO} 和 K_M 分别是鉴相器模块、环路滤波器模块、数控振荡器模块和分频模块的传递函数。

如图 1, 假设输入基准信号的频率为 f_{in} , 晶体振荡器输出的时钟信号的频率为 f_{cr} , DCO 输出的时钟信号的频率为 f_{out} , 令 $f_{cr} = Af_{out}$, $f_{out} = Bf_{in}$, 则锁相环在被锁信号频率附近的局部动态数学模型的传递函数为^[1]

$$H(s) = \frac{\frac{2AB^2 f_{in}s}{K} + \frac{2AB^2 f_{in}^2}{K}}{s^2 + \frac{2AB^2 f_{in}s}{KM} + \frac{2AB^2 f_{in}^2}{KM}}, \quad (1)$$

二阶系统自然频率为

$$\omega_n = \sqrt{\frac{2AB^2}{KM}} f_{in}, \quad (2)$$

二阶系统阻尼系数为

$$\xi = \sqrt{\frac{AB^2}{2KM}}. \quad (3)$$

3 数字锁相环的电路设计

我们设计的数字锁相环的原理图如图 3 所示。

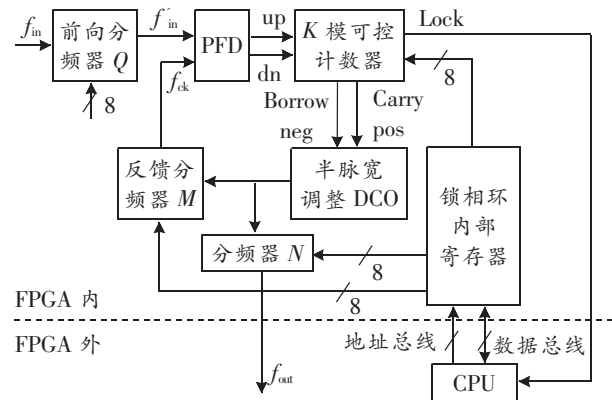


图 3 数字锁相环的原理图

3.1 鉴相器

数字鉴相器的功能就是对输入基准信号和反馈的本地信号之间的相位差进行比较, 以数字的形式将相位差表示出来并输出。本设计中采用的 PFD 结构^[2]具有结构简单、“死区”小、频率敏感性和鉴相增益高等特点。

3.2 数字滤波器

本设计中的数字滤波器采用 K 模可控计数器, 它等效于一个低通滤波器。而模数 K 的选择则与低通带宽、入锁时间和对噪声的抑制程度有关。取的 K 值越大, 等效的低通带宽越小, 环路对输入噪声的抑制作用就越强, 但锁定时间却增长。反之, 取的 K 值越小, 环路的等效带宽越大, 对输入噪声的

抑制作用随之降低, 而环路的锁定时间也减小。在理想情况下, 输入基准时钟信号与晶体振荡器输出时钟没有频偏。由于输入噪声为随机噪声, 引起的相位差服从高斯分布(在零点的概率最大), 因此, 相位差的累积和趋近于零, 达不到可逆计数器的调整门限, 数字滤波器无控制脉冲输出, 环路立即进入同步锁定状态。这就消除了由输入噪声所引起的误操作, 也就是说数字滤波器有效地消除了噪声对环路的干扰作用。在输入基准信号与晶体振荡器输出时钟存在频偏的情况下, 数字滤波器会周期性地输出控制脉冲, 对 DCO 输出时钟的频率相位进行相应调整, 使环路进入锁定状态。为了使数字滤波器具有较强的抑制噪声的能力, 并能使环路快速入锁, 必须合理选择 K 值的大小。一旦环路进入锁定状态, 图 3 中的数字滤波器就将控制信号 Carry 和 Borrow 置低, 同时把 Lock 置高, 表明时钟已锁定。

3.3 DCO 的设计

DCO 是 ADPLL 的关键器件, 它的功能是受数字滤波器的超前/滞后信号控制, 调整输出时钟的频率。为了避免因 DCO 频率调整而引入较大抖动, 本设计采用半脉冲调整技术的 DCO 结构。DCO 工作原理仿真波形如图 4 所示。当没有滞后信号 neg 或超前信号 pos 输入时, DCO 就对晶振产生的高频时钟信号 ckh 进行固定的 P 分频, 本设计中取 $P=4$, 得到输出信号 f_{out} ; 如果有一个 pos 为高时, 则在 4 分频的基础上, 在输出时钟 f_{out} 的下降沿处增加半个 ckh 脉冲, 相当于对 ckh 进行了 3.5 倍的分频; 反之, 当有一个 neg 为高时, 将在输出时钟信号 f_{out} 的下降沿处扣除半个脉冲的宽度, 即对 ckh 进行了 4.5 倍的分频。与传统的整脉冲调整 DCO 相比, 这里由于 ckh 的频率很高, 而且每次调整的只有 ckh 的半个脉宽, 因此大大降低了 DCO 的调整抖动, 并且使鉴相器相位差的精度控制在高频晶振时钟的半个周期之内。

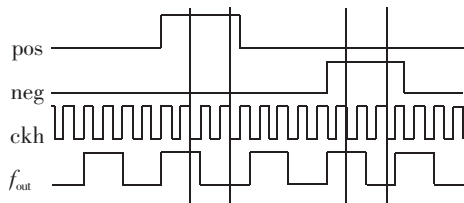


图 4 DCO 工作原理仿真波形

半脉冲调整技术的关键就是 ckh 的上升沿和下降沿分别控制两个计数器 Counter1 和 Counter2(见

(下转第 41 页)